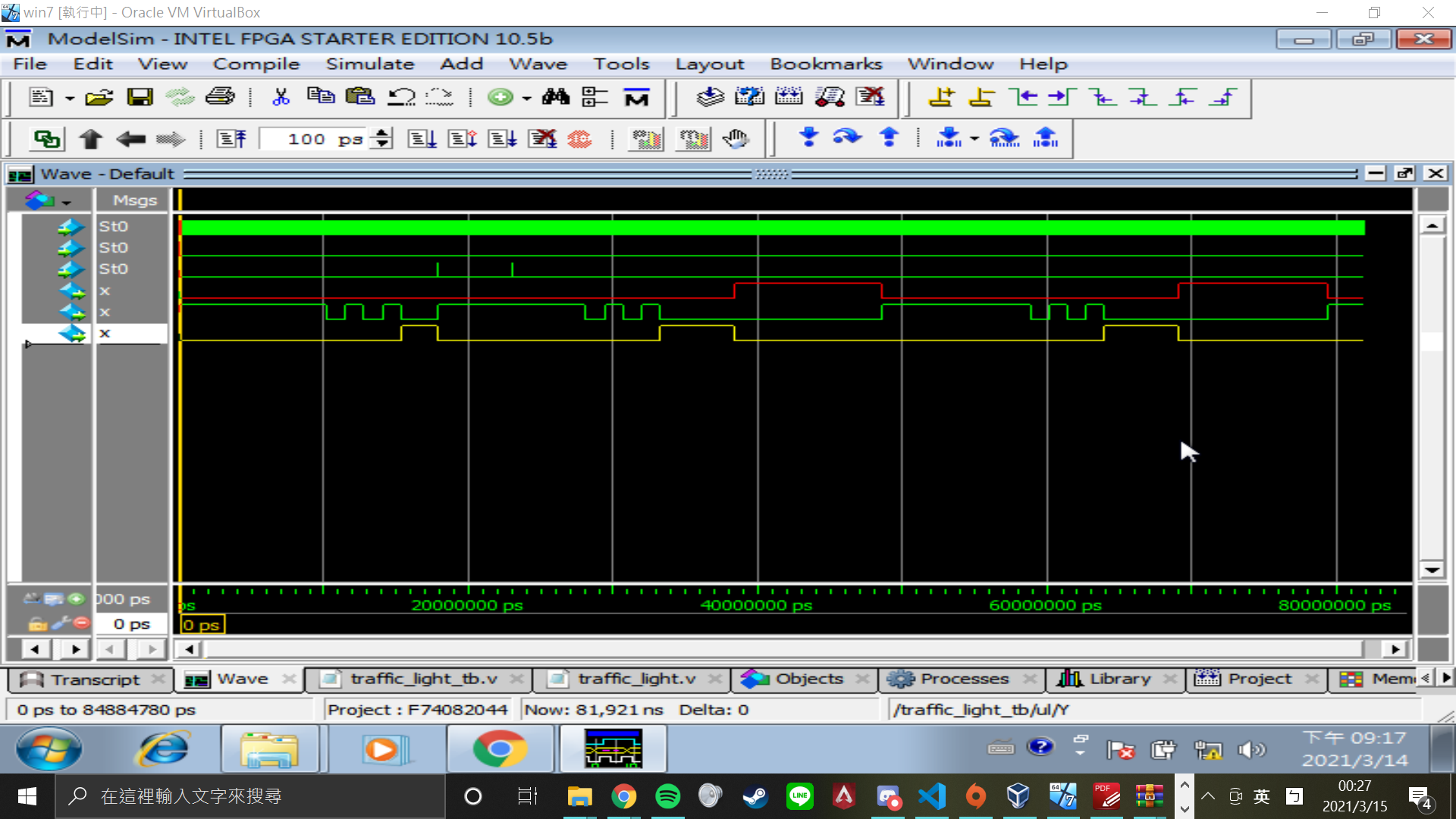
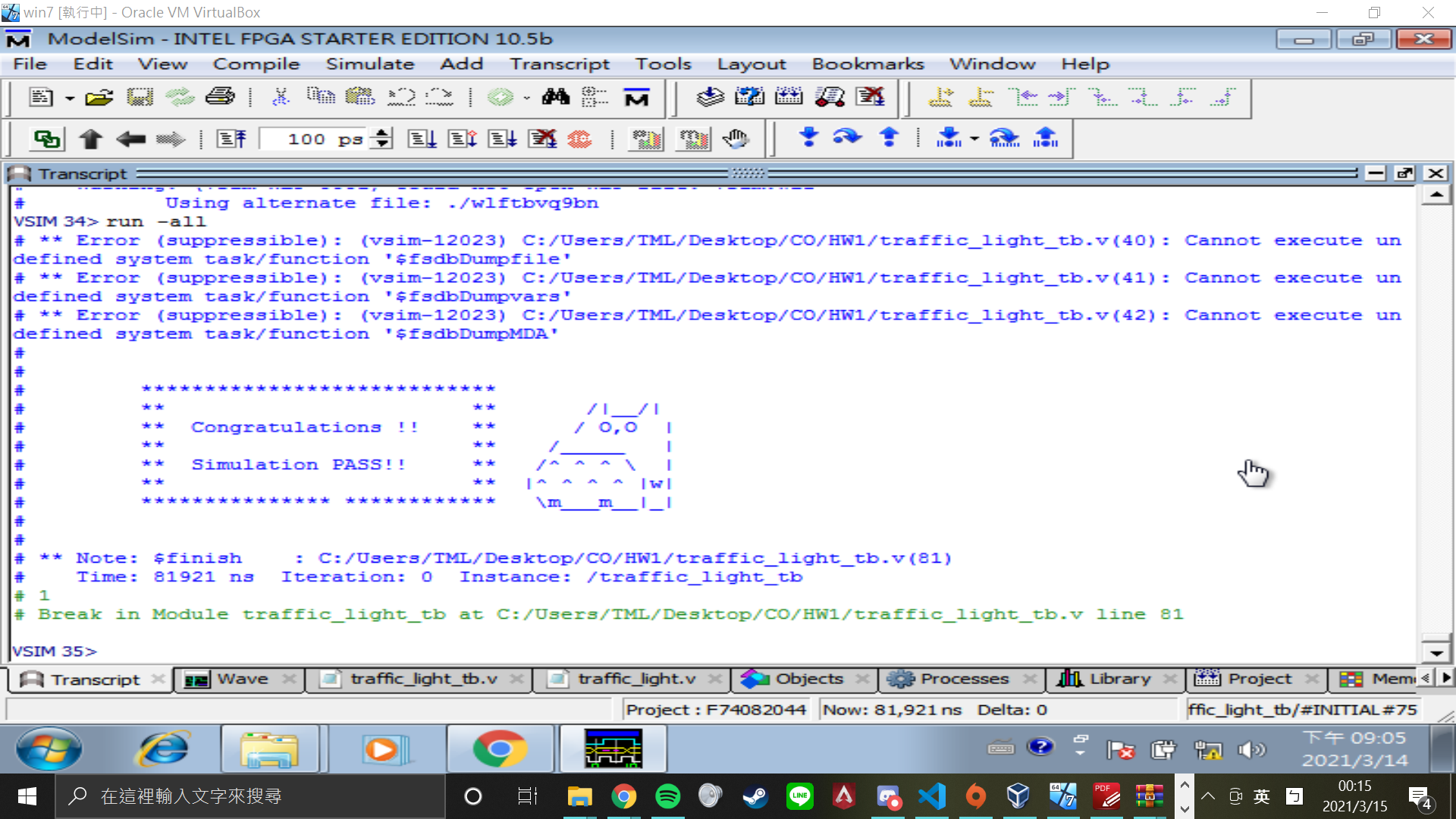
**Computer Organization 2019**

**HOMEWORK 1**

系級: 資訊112 學號: F74082044 姓名: 林禔摩

**實驗結果圖:**

(波形圖及模擬完成截圖)



**程式運作流程:**

(簡單說明波形變化的意義)

從開始執行經過1ns之後，輸入rst讓訊號復位。之後再依照題意，使各狀態經過指定的cycle數。當clk和pass同為正緣且不為第一個狀態時，將輸出訊號回到第一個狀態的第一個cycle。

**心得**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。)

做完這次作業後，我發現自己對verilog不太敏感，以至於常常無法發現程式碼中一些簡單的錯誤，也因此在debug上面花了許多時間，雖然只是一個為了讓我們回憶verilog的作業，但最後看到龍貓的時候還是很高興。